

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

KR PATENT PUBLICATION
No. 0390457

(11)Publication number: 1020020092016 A
(43)Date of publication of application: 11.12.2002

(21)Application number: 1020010030860
(22)Date of filing: 01.06.2001

(71)Applicant: LG.PHILIPS LCD CO., LTD.
(72)Inventor: KIM, SANG HYEON

(51)Int. Cl. H01L 29/786

(54) STRUCTURE OF THIN FILM TRANSISTOR AND MANUFACTURING METHOD THEREOF

(57) Abstract:

PURPOSE: A polysilicon thin film transistor and a method for manufacturing the same are provided to decrease crystallization temperature and to reduce contact resistance of an active region by additionally implanting Ge ions into the active region.

CONSTITUTION: An active layer(3a) is formed on an insulating substrate(1). After depositing a gate insulating layer(4) on the entire surface of the resultant structure, a gate electrode(5a) is formed on the gate insulating layer of the active layer(3a).

Germanium(Ge) ions are implanted to the active layer(3a) by using the gate electrode(5a) as a mask. A source and drain region(3b,3c) are formed in the active region(3a) by implanting impurity ions into the active region using the gate electrode(5a) as a mask and annealing. After depositing an interlayer dielectric(6) on the resultant structure, a contact hole is formed to expose the source and drain region(3b,3c). A source and drain region(8a,8b) are formed to connect with the source and drain region(3b,3c) via the contact hole.

© KIPO 2003

Legal Status

Date of final disposal of an application (20030528)
Patent registration number (1003904570000)
Date of registration (20030625)

BEST AVAILABLE COPY

10-0390457

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ H01L 29/786	(45) 공고일자 (11) 등록번호 (24) 등록일자	2003년07월07일 10-0390457 2003년06월25일
(21) 출원번호 (22) 출원일자 (73) 특허권자	10-2001-0030860 2001년08월01일 엘지.필립스 엘시디 주식회사	(65) 공개번호 (43) 공개일자 특2002-0092016 2002년12월11일
(72) 발명자	서울 영등포구 여의도동 20번지 김상현	
(74) 대리인	서울특별시양천구신정3동헌대5차504동1403호 김용민, 심창섭	

심사관 : 김광석

(54) 박막트랜지스터의 구조 및 제조 방법

요약

본 발명은 다결정 실리콘 박막트랜지스터에 관한 것으로, 소오스/드레인 영역을 형성하기 위해 활성층에 불순물 이온 주입하는 공정 전후로 Ge 이온을 상기 활성층에 이온 주입하여 결정화 온도를 낮추고 활성화를 향상시키며 소오스/드레인 영역의 콘택 저항을 감소시킬 수 있는 다결정 실리콘 박막 트랜지스터의 구조 및 제조 방법을 제공한 것이다.

도표도

도2a

색인어

박막트랜지스터, 다결정 실리콘 박막트랜지스터

명세서

도면의 간단한 설명

도 1a 내지 1g는 종래의 다결정 실리콘 박막트랜지스터의 공정 단면도
도 2a 내지 2h는 본 발명 제 1 실시예에 따른 다결정 실리콘 박막트랜지스터의 공정 단면도
도 3a 내지 3h는 본 발명 제 2 실시예에 따른 다결정 실리콘 박막트랜지스터의 공정 단면도
도 4는 본 발명 실시예에 따른 다결정 실리콘 박막트랜지스터의 구조 단면도
도 5는 본 발명에 따른 Si 및 Ge의 특성 설명 그래프
도면의 주요 부분에 대한 부호의 설명
1 : 기판 2 : 버퍼층
3 : 비정질 실리콘막 3a : 활성층
3b, 3c : 소오스/드레인 영역 3d : 채널 영역
4 : 게이트 절연막 5 : 게이트 금속막
5a : 게이트 전극 6 : 중간 절연막
7 : 콘택 홀 8a, 8b : 소오스/드레인 전극
9 : 보호막 10 : 화소 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 다결정 실리콘 박막트랜지스터에 관한 것으로, 특히 액정표시장치에 적용할 수 있는 다결정 실리콘 박막트랜지스터(Poly silicon thin film transistor)의 구조 및 제조 방법에 관한 것이다.

정보화 사회가 발전함에 따라 표시장치에 대한 요구도 다양한 형태로 집중하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display Device), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluorescent Display)등 여러 가지 평판 표시 장치가 연구되어 왔고 일부는 이미 여러 장비에서 표시장치로 활용되고 있다.

그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 특징점으로 인하여 이동형 화상 표시장치의 용도로 브라운관(Cathode Ray Tube)을 대체하면서 LCD가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 텔레비전 모니터 등으로 다양하게 개발되고 있다.

이와 같이 액정표시장치가 여러 분야에서 화면 표시장치로서의 역할을 하기 위해 여러 가지 기술적인 발전이 이루어졌음에도 불구하고 화면 표시장치로서 화상의 품질을 높이는 작업은 상기 특장점과 배치되는 면이 많이 있다. 따라서, 액정표시장치가 일반적인 화면 표시장치로서 다양한 부분에 사용되기 위해서는 경량, 박형, 저 소비전력의 특징을 유지하면서도 고정세, 고휘도, 대면적 등 고 품질 화상을 얼마나 구현할 수 있는가에 발전의 관건이 걸려 있다고 할 수 있다.

이와 같은 액정표시장치는, 화상을 표시하는 액정패널과 상기 액정 패널에 구동신호를 인가하기 위한 구동부로 크게 구분될 수 있으며, 상기 액정패널은 일정 공간을 갖고 합착된 제 1, 제 2 유리 기판과, 상기 제 1, 제 2 유리 기판 사이에 주입된 액정층으로 구성된다.

여기서, 상기 제 1 유리 기판에는, 일정 간격을 갖고 일 방향으로 배열되는 복수개의 게이트 라인과, 상기 각 게이트 라인과 수직인 방향으로 일정한 간격으로 배열되는 복수개의 데이터 라인과, 상기 각 게이트 라인과 데이터 라인이 교차되어 정의된 각 화소영역에 매트릭스 형태로 형성되는 복수개의 화소 전극과 상기 게이트 라인의 신호에 의해 스위칭되어 상기 데이터 라인의 신호를 상기 각 화소 전극에 전달하는 복수개의 박막 트랜지스터가 형성된다.

그리고 제 2 유리 기판에는, 상기 화소 영역을 제외한 부분의 빛을 차단하기 위한 블랙매트릭스층과, 칼라 색상을 표현하기 위한 칼라 필터층과 화상을 구현하기 위한 공통 전극이 형성된다.

이와 같이 상기 액정패널의 제 1 유리 기판에 형성되는 박막 트랜지스터를 구성하는 요소 중 활성층인 반도체층은 결정 격자의 주기성이 없는 비정질 실리콘을 사용하거나 다결정 폴리 실리콘을 사용한다.

상기 활성층이 비정질 실리콘인 박막트랜지스터를 사용할 경우에는 빛에 노출된다면 광전 변환에 의해 포토 커런트가 발생하여 스위칭 소자의 동작을 주도하는 온-커런트를 낮추는 역할을 하지만, 비정질 실리콘 특유의 비 주기적인 격자 특성을 갖고 있으므로 표면에 땀글링 본드(Dangling bond)와 같은 디펙트가 많이 형성되기 때문에 전자의 흐름이 원활하지 못하여 소자의 고속 동작 특성이 좋지 않다.

이에 반해, 활성층이 상기 비정질 실리콘에 비해 표면에 디펙트가 적은 다결정 폴리 실리콘으로 형성된 박막 트랜지스터의 경우, 동작 속도가 상기 비정질 실리콘 박막 트랜지스터보다 훨씬 빠르다(100 - 200배 정도).

이러한 다결정 실리콘 박막 트랜지스터를 액정패널의 스위칭 소자로 사용하면 외부의 고속 구동부와 연동하여 빠르게 동작 할 수 있으므로 대면적 고해상도의 액정표시장치를 구현할 수 있다.

이러한 다결정 실리콘을 액정표시장치에 적용하기 위해서는 액정패널의 기판으로 유리 기판을 이용하고 있으므로 저온 공정 및 저온 처리가 선행되어야 한다.

이와 같이 동작 특성을 얻기 위한 종래의 다결정 실리콘 박막 트랜지스터의 제조 방법을 설명하면 다음과 같다.

도 1a 내지 1g는 종래의 다결정 실리콘 박막트랜지스터의 공정 단면도이다.

도 1a와 같이, 유리 기판(1)에 CVD법을 이용하여 유전체 버퍼막(Buffer dielectric layer)(2)을 증착하고, 상기 버퍼막(2)위에 비정질 실리콘막(a-si)(3)을 증착한다. 그리고, 상기 비정질 실리콘막(3)을 레이저를 이용하여 결정화 한다.

도 1b와 같이, 전면에 감광막(도면에는 도시되지 않음)을 증착하고 박막트랜지스터의 활성영역을 정의하기 위한 마스크를 이용한 사진 식각 공정으로 상기 결정화된 실리콘막을 패터닝하여 활성층(3a)을 형성한다. 그리고, 전면에 게이트 절연막(4)을 증착하고, 상기 게이트 절연막(4)위에 박막트랜지스터의 게이트 전극으로 이용될 게이트 금속(5)을 증착한다.

도 1c와 같이, 그리고 도면에는 도시되지 않았지만, 사진 식각 공정을 이용하여 상기 게이트 금속(5)을 선택적으로 제거하여 상기 활성층(3a) 상측의 게이트 절연막(4)위에 게이트 전극(5a)을 형성한다.

도 1d와 같이, 상기 게이트 전극(5a)을 마스크로 이용하여 상기 활성층(3a)에 불순물 이온 주입하여 열처리를 통해 이온 주입 시 발생한 데미지(damage)의 큐어링(curing)과 불순물을 활성화시켜 상기 게이트 전극(5a) 양측의 활성층(3a)에 소오스/드레인 영역(3b, 3c)을 형성한다.

도 1e와 같이, 전면에 층간 절연막(6)을 증착하고, 상기 소오스/드레인 영역(3b, 3c)이 노출되도록 상기 층간 절연막(6) 및 게이트 절연막(4)을 선택적으로 제거하여 콘택홀(contact hole)(7)을 형성한다.

도 1f와 같이, 상기 콘택홀(7)을 통해 상기 소오스/드레인 영역(3b, 3c)에 전기적으로 연결되도록 전면에 금속을 증착하고 선택적으로 제거하여 소오스/드레인 전극(8a, 8b)을 형성한다. 이와 같이 박막트랜지스터를 제조하고 액정표시장치일 경우 화소 전극을 형성한다.

즉, 도 1g와 같이, 전면에 보호막(9)을 증착하고, 상기 드레인 전극(8b)이 노출되도록 상기 보호막을 선택적으로 제거하여 콘택홀을 형성하고 상기 콘택홀을 통해 상기 드레인 전극(8b)에 전기적으로 연결되도록 전면에 투명전극을 형성한 다음, 화소 영역에만 남도록 상기 투명전극을 선택적으로 제거하여 화소 전극(10)을 형성한다.

본 발명이 이루고자 하는 기술적 과제

그러나 이와 같은 종래의 다결정 실리콘 박막 트랜지스터의 제조 방법에 있어서는 다음과 같은 문제점이 있었다.

상기 소오스/드레인 영역을 형성하기 위한 불순물 이온 주입 후 불순물을 활성화시키기 위하여 열처리를 하여야 하는데, 액정표시장치에서는 기판을 유리 기판을 사용하므로 열처리 조건이 저온으로 제한되어 있다(약 500°C 이하). 따라서, 저온으로 열처리하므로 불순물이 완전하게 활성화되지 않아서 소오스/드레인 영역의 콘택 저항이 증가하게 된다.

본 발명은 이와 같은 문제점을 해결하기 위하여 안출한 것으로, Ge 이온을 비정질 실리콘층에 주입한 후 결정화하고 소오스/드레인 불순물 이온 주입하여 결정화 온도를 낮추고 소오스/드레인 영역의 콘택 저항을 감소시킬 수 있는 다결정 실리콘 박막 트랜지스터의 제조 방법을 제공하는데 그 목적이 있다.

본 발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명에 따른 박막트랜지스터의 구조는, 절연 기판에 형성된 실리콘 활성층과, 상기 활성층 양측에 Ge이 함유된 소오스/드레인 영역과, 상기 소오스/드레인 영역 사이에 형성된 채널 영역과, 상기 채널 영역 상측에 형성되는 게이트 전극을 포함하여 구성됨에 그 특징이 있다.

또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 박막트랜지스터의 제조 방법은, 절연 기판위에 실리콘 활성층을 형성하는 단계와, 전면에 게이트 절연막을 증착하고 상기 활성층 상측의 게이트 절연막 위에 게이트 전극을 형성하는 단계와, 상기 게이트 전극을 마스크로 이용하여 상기 활성층에 게르마늄(Ge) 이온을 주입하는 단계와, 상기 게이트 전극을 마스크로 이용하여 상기 활성층에 n형 또는 p형 불순물 이온 주입하고 열처리하여 소오스/드레인 영역을 형성하는 단계를 포함하여 이루어짐에 그 특징이 있다.

또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 박막트랜지스터의 제조 방법은, 절연 기판위에 실리콘 활성층을 형성하는 단계와, 전면에 게이트 절연막을 증착하고 상기 활성층 상측의 게이트 절연막 위에 게이트 전극을 형성하는 단계와, 상기 게이트 전극을 마스크로 이용하여 상기 활성층에 n형 또는 p형 불순물 이온 주입하는 단계와, 상기 게이트 전극을 마스크로 이용하여 상기 활성층에 게르마늄(Ge) 이온을 주입하고 열처리하여 소오스/드레인 영역을 형성하는 단계를 포함하여 이루어짐에 또 다른 특징이 있다.

이와 같은 특징을 갖는 본 발명에 따른 다결정 실리콘 박막 트랜지스터의 구조 및 제조 방법을 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.

도 2a 내지 2h는 본 발명 제 1 실시예에 따른 다결정 실리콘 박막 트랜지스터의 공정 단면도이다.

먼저, 본 발명 제 1 실시예의 다결정 실리콘 박막 트랜지스터의 제조 방법은 다음과 같다.

도 2a와 같이, 유리 기판(1)에 CVD법을 이용하여 유전체 버퍼막(Buffer dielectric layer)(SiO₂)(2)을 증착하고, 상기 버퍼막(2)위에 비정질 실리콘막(a-si)(3)을 증착한다. 그리고, 상기 비정질 실리콘막(3)을 레이저를 이용하여 결정화시킨다.

도 2b와 같이, 전면에 감광막(도면에는 도시되지 않음)을 증착하고 박막트랜지스터의 활성영역을 정의하기 위한 마스크를 이용한 사진 식각 공정으로 상기 결정화된 실리콘막(3)을 패터닝하여 활성층(3a)을 형성한다. 그리고, 전면에 1800 Å 정도의 두께로 게이트 절연막(4)을 증착하고, 상기 게이트 절연막(4)위에 박막트랜지스터의 게이트 전극으로 이용될 게이트 금속(5)을 증착한다. 이 때, 상기 게이트 금속으로 3000 Å 정도의 두께로 AlNd층을 증착하고 그위에 500 Å 정도의 두께로 Mo층을 차례로 형성한다.

도 2c와 같이, 그리고 도면에는 도시되지 않았지만, 사진 식각 공정을 이용하여 상기 게이트 금속(5)을 선택적으로 제거하여 상기 활성층(3a) 상측의 게이트 절연막(4)위에 게이트 전극(5a)을 형성한다.

도 2d와 같이, 상기 게이트 전극(5a)을 마스크로 이용하여 상기 활성층(3a)의 소오스/드레인 영역에 게르마늄(Ge) 이온을 주입한다.

도 2e와 같이, 상기 게이트 전극(5a)을 마스크로 이용하여 상기 활성층(3a)에 n형 또는 p형 불순물 이온 주입하고 열처리를 통해 이온 주입 시 발생한 데미지(damage)의 큐어링(curing)과 불순물을 활성화시켜 상기 게이트 전극(5a) 양측의 활성층(3a)에 소오스/드레인 영역(3b, 3c)을 형성한다.

도 2f와 같이, 전면에 실리콘 질화막(SiNx) 등의 종간절연막(6)을 증착하고, 상기 소오스/드레인 영역(3b, 3c)이 노출되도록 상기 종간절연막(6) 및 게이트 절연막(4)을 선택적으로 제거하여 콘택홀(contact hole)(7)을 형성한다.

도 2g와 같이, 상기 콘택홀(7)을 통해 상기 소오스/드레인 영역(3b, 3c)에 전기적으로 연결되도록 전면에 금속(적층된 Mo/AlNd 구조)을 증착하고 상기 금속을 선택적으로 제거하여 소오스/드레인 전극(8a, 8b)을 형성한다.

도 2h와 같이, 전면에 실리콘 질화막(9a)을 증착하고 그위에 BCB층(9b)을 두껍게 증착하여 보호막(9)을 형성한 다음, 상기 드레인 전극(8b)이 노출되도록 상기 보호막(9)을 선택적으로 제거하여 콘택홀을 형성하고 상기 콘택홀을 통해 상기 드레인 전극(8b)에 전기적으로 연결되도록 전면에 투명전극을 형성한 다음, 화소 영역에만 남도록 상기 투명전극을 선택적으로 제거하여 화소 전극(9)을 형성한다.

또한, 도 3a 내지 3h는 본 발명 제 2 실시예에 따른 다결정 실리콘 박막 트랜지스터의 공정 단면도이다.

본 발명 제 2 실시예의 다결정 실리콘 박막트랜지스터의 제조 방법은 다음과 같다.

도 3a와 같이, 유리 기판(1)에 CVD법을 이용하여 유전체 버퍼막(Buffer dielectric layer)(SiO₂)(2)을 증착하고, 상기 버퍼막(2)위에 비정질 실리콘막(a-si)(3)을 증착한다. 그리고, 상기 비정질 실리콘막(3)을 레이저를 이용하여 결정화 시킨다.

도 3b와 같이, 전면에 감광막(도면에는 도시되지 않음)을 증착하고 박막트랜지스터의 활성영역을 정의하기 위한 마스크를 이용한 사진 식각 공정으로 상기 결정화된 실리콘막(3)을 패터닝하여 활성층(3a)을 형성한다. 그리고, 전면에 1800 Å 정도의 두께로 게이트 절연막(4)을 증착하고, 상기 게이트 절연막(4)위에 박막트랜지스터의 게이트 전극으로 이용될 게이트 금속(5)을 증착한다. 이 때, 상기 게이트 금속으로 3000 Å 정도의 두께로 AlNd층을 증착하고 그위에 500 Å 정도의 두께로 Mo층을 차례로 형성한다.

도 3c와 같이, 그리고 도면에는 도시되지 않았지만, 사진 식각 공정을 이용하여 상기 게이트 금속(5)을 선택적으로 제거하여 상기 활성층(3a) 상측의 게이트 절연막(4)위에 게이트 전극(5a)을 형성한다.

도 3d와 같이, 상기 게이트 전극(5a)를 마스크로 이용하여 상기 활성층(3a)에 n형 또는 p형 불순물 이온 주입한다.

도 3e와 같이, 상기 게이트 전극(5a)을 마스크로 이용하여 상기 활성층(3a)의 소오스/드레인 영역에 게르마늄(Ge) 이온을 주입하고, 열처리를 통해 이온 주입 시 발생한 데미지(damage)의 큐어링(curing)과 불순물을 활성화시켜 상기 게이트 전극(5a) 양측의 활성층(3a)에 소오스/드레인 영역(3b, 3c)을 형성한다.

도 3f와 같이, 전면에 실리콘 질화막(SiNx) 등의 층간 절연막(6)을 증착하고, 상기 소오스/드레인 영역(3b, 3c)이 노출되도록 상기 층간 절연막(6) 및 게이트 절연막(4)을 선택적으로 제거하여 콘택홀(contact hole)(7)을 형성한다.

도 3g와 같이, 상기 콘택홀(7)을 통해 상기 소오스/드레인 영역(3b, 3c)에 전기적으로 연결되도록 전면에 금속(적층된 Mo/AlNd 구조)을 증착하고 상기 금속을 선택적으로 제거하여 소오스/드레인 전극(8a, 8b)을 형성한다.

도 3h와 같이, 전면에 실리콘 질화막(9a)을 증착하고 그위에 BCB층(9b)을 두껍게 증착하여 보호막(9)을 형성한 다음, 상기 드레인 전극(8b)이 노출되도록 상기 보호막(9)을 선택적으로 제거하여 콘택홀을 형성한다. 그리고, 상기 콘택홀을 통해 상기 드레인 전극(8b)에 전기적으로 연결되도록 전면에 투명전극을 형성한 다음, 화소 영역에만 남도록 상기 투명전극을 선택적으로 제거하여 화소 전극(10)을 형성한다.

이와 같이 본 발명 제 1, 제 2 실시예의 다결정 실리콘 박막트랜지스터의 제조 방법에 의해 만들어진 박막트랜지스터의 구조는 도 4와 같다.

도 4는 본 발명에 따른 다결정 실리콘 박막트랜지스터의 구조 단면도이다.

즉, 기판(1)위에 버퍼층(2)이 형성되고, 상기 버퍼층(2)위에 소오스/드레인 영역(3b, 3c)과 상기 소오스/드레인 영역(3b, 3c) 사이의 채널 영역(3d)을 구비한 활성층이 형성된다.

이 때, 상기 소오스/드레인 영역(3b, 3c)은 Ge가 함유된 실리콘층(SiGe)으로 형성되고 상기 채널 영역(3d)은 Ge가 함유되지 않은 실리콘층(Si)으로 형성된다.

그리고 전면에 게이트 절연막(4)이 형성되고, 상기 채널 영역(3d) 상측의 게이트 절연막(4)위에 게이트 전극(5a)이 형성되며, 상기 소오스/드레인 영역(3b, 3c)에는 소오스/드레인 전극(8a, 8b)이 연결되고 상기 드레인 전극(8b)에 화소 전극(10)이 연결된다.

발명의 효과

이상에서 설명한 바와 같은 본 발명에 따른 평판형 형광 방전램프에 있어서는 다음과 같은 효과가 있다.

먼저, 실리콘(Si)과 게르마늄(Ge)의 성질을 설명하면 다음과 같다.

도 5는 본 발명에 따른 Si 및 Ge의 특성 설명 그래프이다.

먼저, 상기 실리콘(Si)과 게르마늄(Ge)는 결정 구조가 다이아몬드(diamond) 구조로 동일하며 격자 상수가 유사하다(Ge : 5.658 Å, Si : 5.431 Å). 따라서, 상기 실리콘(Si)과 게르마늄(Ge)는 상호간에 완전한 고용이 가능한 원소들이다.

그리고, DSC(Differential Scanning Calorimeter)로 결정화 시킬 때, 비정질 실리콘(Si)의 결정화 온도는 약 687°C 이고, 비정질 게르마늄(Ge)의 결정화 온도는 약 480°C 정도이다. 따라서, Ge의 경우가 Si의 경우에 비해 충분히 저온으로 큐어링이 가능하다.

또한, Ge가 함유된 SiGe에 인(Posphorous) 불순물 이온을 도핑하면, 실리콘(Si)에 비해 약 10배 이상의 도핑 효율을 갖는다.

따라서, 본 발명에서는, 소오스/드레인 영역을 형성하기 위하여 불순물 이온 주입과 활성화 공정을 진행할 때, 불순물 이온 주입 전 또는 후에 Ge를 실리콘 활성층에 이온 주입하므로 결정화 및 활성화 온도를 낮추어 제한된 열처리를 할 수 있으며, 큐어링과 불순물의 활성화를 향상시키고 소오스/드레인 영역의 콘택저항을 감소시킬 수 있다.

(5) 청구의 범위

청구항 1

절연 기판에 형성된 실리콘 활성층과,

상기 활성층 양측에 Ge가 함유된 소오스/드레인 영역과,

상기 소오스/드레인 영역 사이에 형성된 채널 영역과,

상기 채널 영역 상측에 형성되는 게이트 전극을 포함하여 구성됨을 특징으로 하는 박막트랜지스터의 구조.

청구항 2

제 1 항에 있어서,

상기 게이트 전극은 Mo/AlNd의 적층 구조로 형성됨을 특징으로 하는 박막트랜지스터의 구조.

청구항 3

제 1 항에 있어서,

상기 소오스/드레인 영역에 연결되는 소오스/드레인 전극을 더 포함함을 특징으로 하는 박막트랜지스터의 구조.

청구항 4

절연 기판위에 실리콘 활성층을 형성하는 단계와,

전면에 게이트 절연막을 증착하고 상기 활성층 상측의 게이트 절연막위에 게이트 전극을 형성하는 단계와,

상기 게이트 전극을 마스크로 이용하여 상기 활성층에 게르마늄(Ge) 이온을 주입하는 단계와,

상기 게이트 전극을 마스크로 이용하여 상기 활성층에 n형 또는 p형 불순물 이온 주입하고 열처리하여 소오스/드레인 영역을 형성하는 단계를 포함하여 이루어짐을 특징으로 하는 박막트랜지스터의 제조 방법.

청구항 5

제 4 항에 있어서,

전면에 층간 절연막을 증착하고, 상기 소오스/드레인 영역이 노출되도록 콘택홀을 형성하는 단계와,

상기 콘택 홀을 통해 상기 소오스/드레인 영역에 전기적으로 연결되도록 소오스/드레인 전극을 형성하는 단계를 더 포함함을 특징으로 하는 박막트랜지스터의 제조 방법.

청구항 6

제 4 항에 있어서,

상기 실리콘 활성층을 형성하는 단계는, 상기 절연 기판위에 비정질 실리콘막을 증착하는 단계와,

상기 비정질 실리콘막을 결정화 시키는 단계를 포함함을 특징으로 하는 박막트랜지스터의 제조 방법.

청구항 7

제 4 항에 있어서,

상기 게이트 전극은 AlNd층과 Mo층이 적층된 구조로 형성함을 특징으로 하는 박막트랜지스터의 제조 방법.

청구항 8

절연 기판위에 실리콘 활성층을 형성하는 단계와,

전면에 게이트 절연막을 증착하고 상기 활성층 상측의 게이트 절연막위에 게이트 전극을 형성하는 단계와,

상기 게이트 전극을 마스크로 이용하여 상기 활성층에 n형 또는 p형 불순물 이온 주입하는 단계와,

상기 게이트 전극을 마스크로 이용하여 상기 활성층에 게르마늄(Ge) 이온을 주입하고 열처리하여 소오스/드레인 영역을 형성하는 단계를 포함하여 이루어짐을 특징으로 하는 박막트랜지스터의 제조 방법.

청구항 9

제 8 항에 있어서,

전면에 층간 절연막을 증착하고, 상기 소오스/드레인 영역이 노출되도록 콘택홀을 형성하는 단계와,

상기 콘택 홀을 통해 상기 소오스/드레인 영역에 전기적으로 연결되도록 소오스/드레인 전극을 형성하는 단계를 더 포함함을 특징으로 하는 박막트랜지스터의 제조 방법.

청구항 10

제 8 항에 있어서,

상기 실리콘 활성층을 형성하는 단계는, 상기 절연 기판위에 비정질 실리콘막을 증착하는 단계와,

상기 비정질 실리콘막을 결정화 시키는 단계를 포함함을 특징으로 하는 박막트랜지스터의 제조 방법.

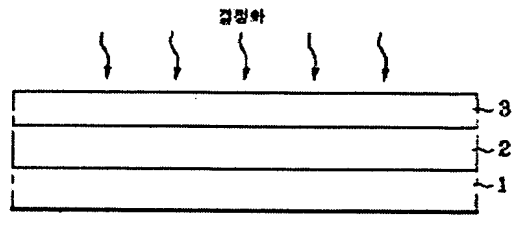
청구항 11

제 8 항에 있어서,

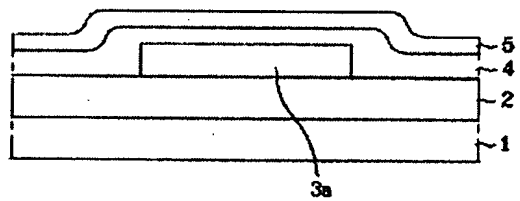
상기 게이트 전극은 AlNd층과 Mo층이 적층된 구조로 형성함을 특징으로 하는 박막트랜지스터의 제조 방법.

도면

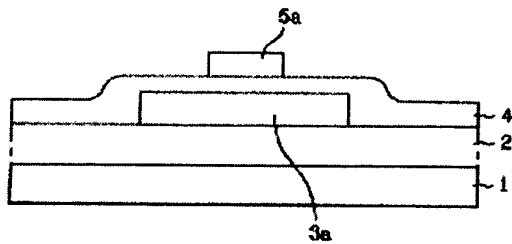
도면 1a



도면 1b



도면 1c



도면 1d

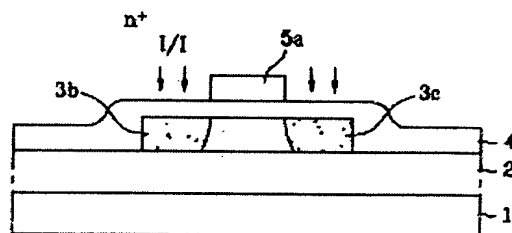


図10

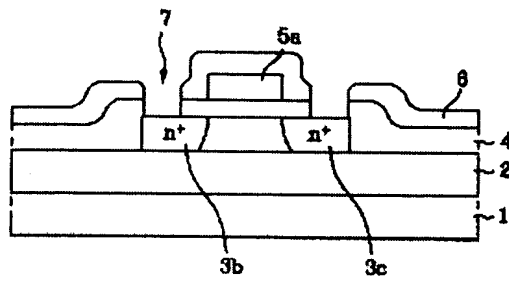


図11

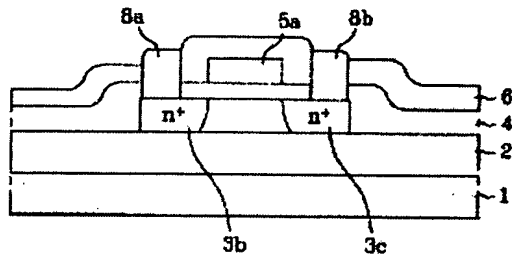


図12

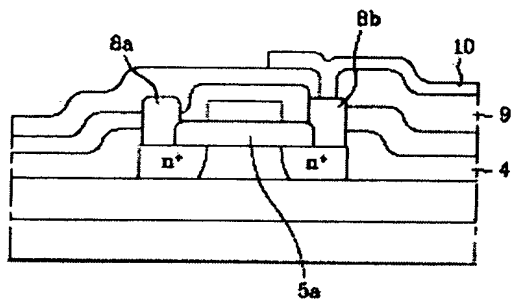


図13

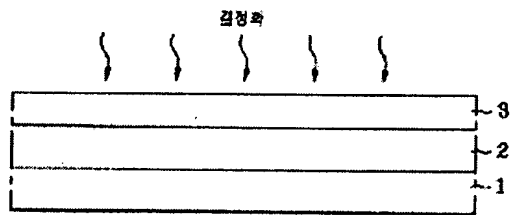


Fig. 2

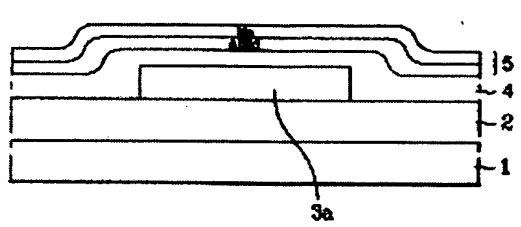


Fig. 3

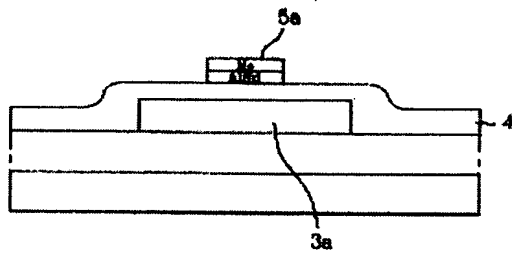


Fig. 4

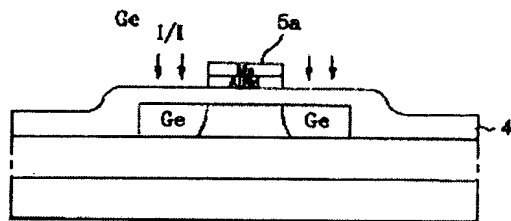
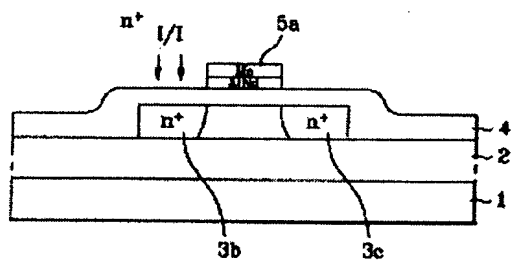
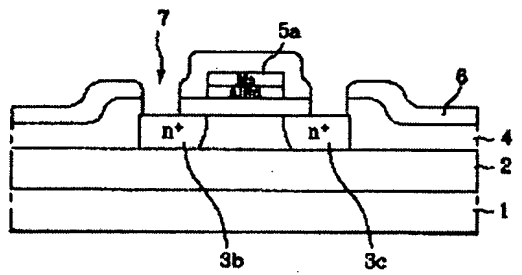


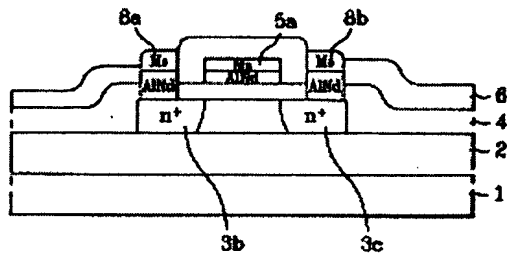
Fig. 5



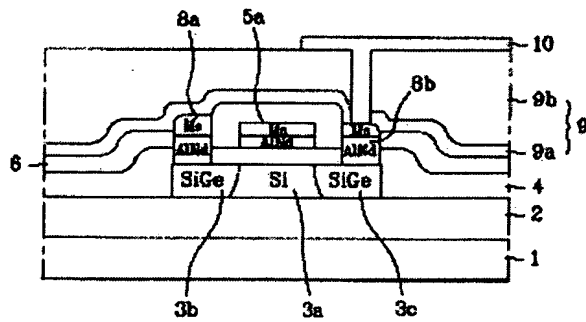
도 2a



도 2b



도 2c



도 2d

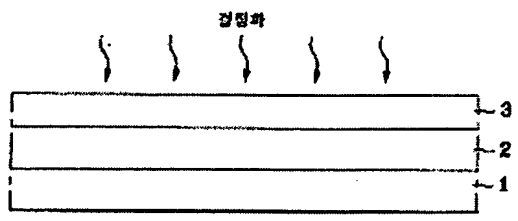


Fig. 3a

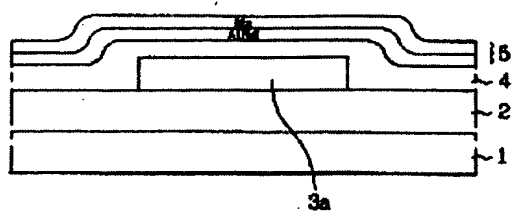


Fig. 3b

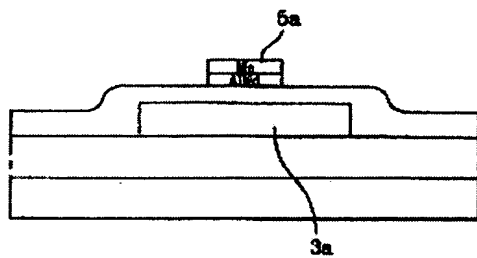


Fig. 3c

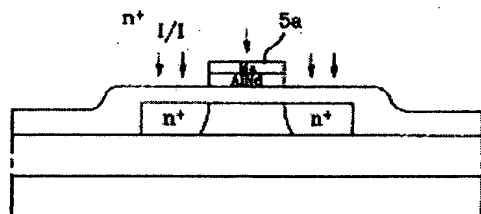
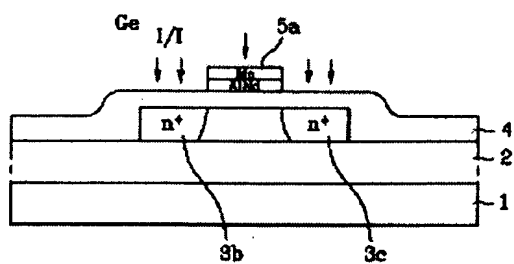
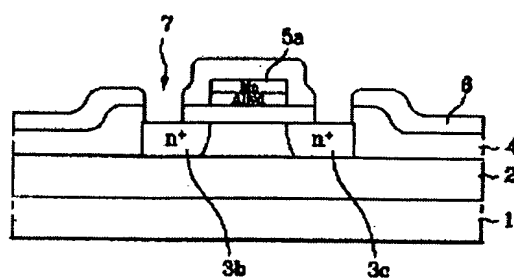


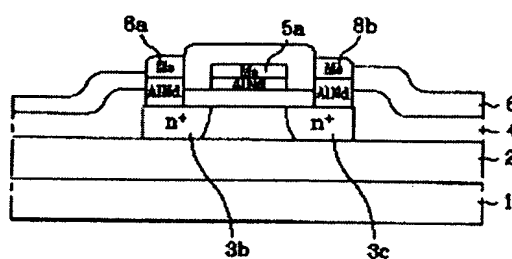
Fig. 3d



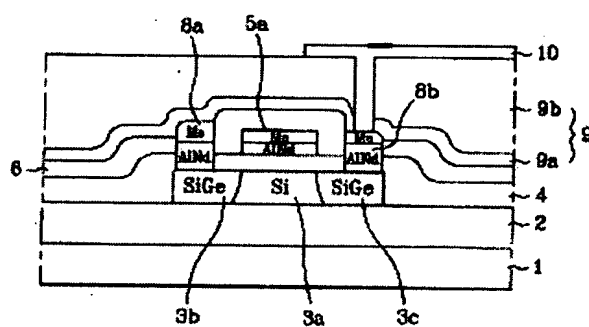
도 39



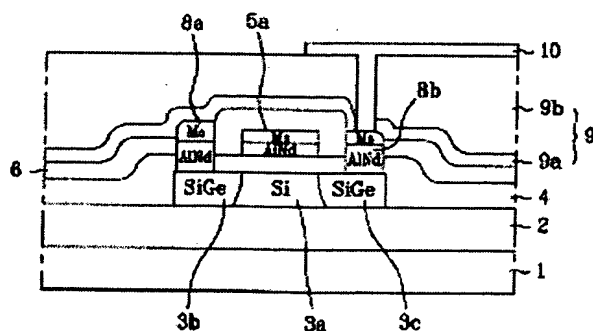
도 39a

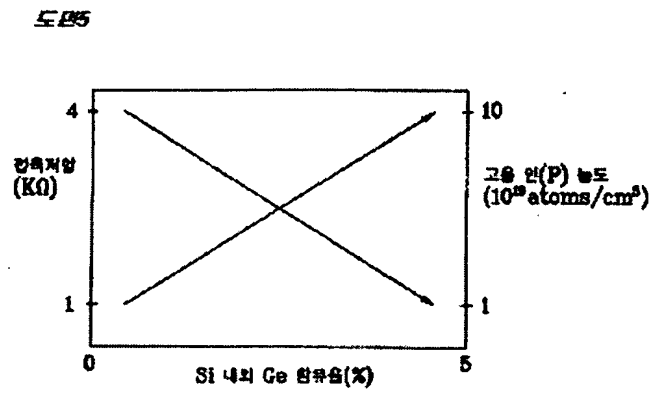


도 39b



도 39c





**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.